

98P 3222

B2

(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) Patentschrift
(11) DE 3441227 C2

(51) Int. Cl. 4:
G 06 F 11/30

(21) Aktenzeichen: P 34 41 227.1-53
(22) Anmeldetag: 10. 11. 84
(43) Offenlegungstag: 15. 5. 86
(45) Veröffentlichungstag
der Patenterteilung: 28. 9. 89

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(73) Patentinhaber:

Philips Patentverwaltung GmbH, 2000 Hamburg, DE

(72) Erfinder:

Pollakowski, Martin, Dipl.-Ing. (FH), 8751 Elsenfeld,
DE

(56) Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE-AS 28 42 603
US 43 92 226

Karapetian, Armen, Logic monitors changes in
channel input state, in: Electronics, 14. Juli 1983,
S. 132;
Calva, J., R. et al. Communication Lines Status
Indicator Control, in: IBM Technical Disclosure
Bulletin Vol. 23, No. 5, Oktober 1980, S. 2049 u. 2050;

(54) Schaltungsanordnung zur Überwachung mehrerer Sammelleitungen

DE 3441227 C2

Beschreibung

Die Erfindung betrifft eine Anordnung zur Überwachung mehrerer Sammelleitungen, wobei auf jeder Sammelleitung bei ungestörtem Betrieb innerhalb einer charakterisierten Wartezeit mindestens ein Pegelwechsel auftritt.

Eine solche Schaltungsanordnung kann bei einem digitalen System eingesetzt werden, das aus mehreren Gruppen zusammengehöriger Funktionseinheiten besteht und bei dem der Informationsaustausch zwischen den Einheiten einer jeden Gruppe über eine sogenannte Sammelleitung (BUS) erfolgt.

Der Informationsaustausch über eine derartige Sammelleitung läßt sich am ständigen Wechsel des Spannungspegels auf ihr erkennen. Bleibt der Pegelwechsel bei einem in Betrieb befindlichen System länger als eine auch für die betreffende Sammelleitung charakteristische Wartezeit aus, so ist das ein unträgliches Zeichen für einen Defekt, der das "Festklemmen" der Sammelleitung auf einem bestimmten Pegel verursacht. Die Überwachung des Pegels aller in einem digitalen System vorhandenen Sammelleitungen ist daher die Voraussetzung für ein schnelles Erkennen bestimmter Störursachen innerhalb des Systems.

In der DE-AS 28 42 603 ist eine Schnittstelle beschrieben, über die ein Wartungsprozessor mit mehreren einzelnen zu prüfenden Funktionseinheiten eines dataverarbeitenden Systems verbunden ist. Die Schnittstelle enthält einen Schnittstellenmultiplexer, über den Nachrichten zwischen dem Wartungsprozessor und den Funktionseinheiten des Systems ausgetauscht werden.

Aus einem Artikel von A. Karapetian (Electronics, 14. Juli 1983, Seite 132) ist eine Schaltungsanordnung bekannt, mit der Impulse auf mehreren Sammelleitungen gleichzeitig überwacht werden. Mit Hilfe von zwei Flip-Flops pro Sammelleitung und komplementären Taktten werden mit der bekannten Schaltungsanordnung Zustandsänderungen auf jeder Sammelleitung detektiert und am Ausgang einer aus mehreren Gattern bestehenden Logikschaltung durch einen Impuls angezeigt.

Aus der US 43 92 226 ist eine Schaltungsanordnung bekannt, mit der Fehler in einem wiedergewonnenen Takt signal detektiert werden. Für die Fehlerdetektion sind zwei Flip-Flops vorgesehen, die beide von einer Taktquelle getaktet werden, deren Takt nominell mit dem wiedergewonnenen Takt übereinstimmt.

In einem Beitrag im IBM Technical Disclosure Bulletin (IBM-TDB, Oktober 1980, Seiten 2049 und 2050) von J. R. Calva et al. wird ebenfalls eine Schaltungsanordnung angegeben, mit der Aktivitäten auf einer Datenverbindungsleitung überwacht und angezeigt werden sollen. Die Schaltungsanordnung enthält ein Detektions-Flip-Flop, das mit einem RESET-Signal von Zeit zu Zeit in seinen anfänglichen Zustand zurückgesetzt wird.

Der Erfindung liegt die Aufgabe zugrunde, eine aus wenigen Bausteinen bestehende Schaltungsanordnung zur Überwachung mehrerer Sammelleitungen eines sich im Betrieb befindlichen digitalen Systems anzugeben.

Die Lösung dieser Aufgabe ist im Kennzeichen des Anspruchs 1 angegeben.

Vorteilhafte Ausgestaltungen enthalten die Unteransprüche.

Anhand der Figur soll ein Ausführungsbeispiel der Erfindung erläutert werden.

Im Ausführungsbeispiel sind vier Sammelleitungen zu überwachen; sie sind über vier Verbindungsleitungen

S0, S1, S2, S3 mit jeweils einem Eingang eines Multiplexers MUX verbunden.

Der Ausgang AM des Multiplexers MUX ist an den Takteingang C eines Flip-Flops FF geführt, an dessen Dateneingang D eine binäre Eins anliegt und das so als einstufiger Zähler geschaltet ist.

Eine Steuereinheit ST — sie kann ein nach einem Programm arbeitender Mikroprozessor sein — überträgt über Adreßleitungen, A0, A1 Adressen an den Multiplexer MUX, der nach Empfang einer Adresse den zugehörigen Eingang und damit auch die zugehörige Sammelleitung mit seinem Ausgang AM bzw. mit dem Takteingang C des Flip-Flops FF verbindet.

Nach der Herstellung dieser Verbindung überträgt die Steuereinheit ST über eine Reset-Leitung RL einen Rücksetzimpuls an den Reset-Eingang R des Flip-Flops FF. Der einstufige Zähler wird damit gelöscht, d. h., das Flip-Flop FF wird in einen Zustand gebracht, in dem die Variable am Q-Ausgang den Binärwert "0" und die Variable am Q-Ausgang den Binärwert "1" hat.

Tritt nach dem Rücksetzimpuls auf der ausgewählten Sammelleitung ein Pegelwechsel von L (LOW) nach H (HIGH) auf, so wird der einstufige Zähler durch diesen Wechsel auf Eins gesetzt, d. h., das Flip-Flop FF geht in einen Zustand über, in dem die Variable am Q-Ausgang den Binärwert "1" und am Q-Ausgang den Binärwert "0" hat.

Wegen einer Verbindung QL des Q-Ausganges des Flip-Flops FF mit der Steuereinheit ST nimmt diese die nach dem Rücksetzimpuls auftretende Zustandsänderung des Flip-Flops FF wahr, registriert, daß auf der ausgewählten Sammelleitung Pegelwechsel auftreten und überträgt frühestens nach Ablauf der charakteristischen Wartezeit die nächste Adresse an den Multiplexer MUX. Die charakteristischen Wartezeiten liegen z. B. bei einem PCM 30-System in der Größenordnung von 0,1 ms.

Tritt nach dem Rücksetzimpuls kein Zustandswechsel auf der ausgewählten Sammelleitung auf, dann wird von der Steuereinheit ein für die betreffende Sammelleitung spezifisches Alarmsignal an eine hier nicht näher gekennzeichnete Zentrale abgegeben und anschließend — frühestens jedoch nach Ablauf der charakteristischen Wartezeit — die nächste Sammelleitung mit dem Takteingang C des Flip-Flops FF verbunden.

Das Rücksetzen des Flip-Flops FF nach dem Herstellen einer Verbindung zwischen einer Sammelleitung und dem Takteingang C hat den Vorteil, daß ein fälschliches Setzen des Flip-Flops FF durch Impulse, die beim Umschaltvorgang des Multiplexers MUX auftreten können, rückgängig gemacht wird.

Eine teilweise Selbstüberwachung der Steuereinheit ST und eine Überwachung des Flip-Flops FF ergibt sich dadurch, daß als Reaktion auf einen Rücksetzimpuls die Steuereinheit ST als Signal auf der Leitung QL eine binäre Null registrieren muß.

Sollte es in dem digitalen System, dessen Sammelleitungen zu überwachen sind, Zeitintervalle bekannter Lage geben, in denen auch ohne Vorliegen einer Störung keine Informationen über eine Sammelleitung ausgetauscht werden und in denen diese Sammelleitung mit einer Dauereins oder einer Dauernull belegt ist, so erzeugt die Steuereinheit ST über eine nicht gezeigte Sonderleitung während dieser Zeitintervalle Pegelwechsel auf der betreffenden Sammelleitung. Dadurch wird die charakteristische Wartezeit für diese Sammelleitung verkürzt.

Patentansprüche

1. Schaltungsanordnung zur Überwachung mehrerer Sammelleitungen, wobei auf jeder Sammelleitung bei ungestörtem Betrieb innerhalb einer charakteristischen Wartezeit mindestens ein Pegelwechsel auftritt, dadurch gekennzeichnet,
 daß eine Steuereinheit (ST) vorgesehen ist, die über einen Multiplexer (MUX) eine ausgewählte Sammelleitung zum Zählen der Pegelwechsel mit einem 10 Zähler (FF) verbindet,
 daß die Steuereinheit (ST) den Zähler (FF) nach der Verbindung mit der ausgewählten Sammelleitung löscht,
 daß nach dem Löschen die ausgewählte Sammelleitung mindestens für die charakteristische Wartezeit mit dem Zähler (FF) verbunden bleibt und
 daß die Steuereinheit ein Alarmsignal abgibt, wenn sich der Stand des Zählers (FF) nach dem Löschen nicht geändert hat.
 15 20
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß als Zähler ein Flip-Flop (FF) verwendet wird.
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Takteingang (C) des Flip-Flops (FF) mit dem Ausgang (AM) des Multiplexers (MUX) verbunden ist und daß am Dateneingang (D) des Flip-Flops (FF) ein unveränderlicher Binärwert anliegt.
 25 30
4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Steuereinheit (ST) auf einer Sammelleitung in den Zeitintervallen bekannter Lage Pegelwechsel erzeugt, in denen kein Informationsaustausch stattfindet und in denen ohne Eingriff der Steuereinheit (ST) die Sammelleitung 35 mit einer Dauereins oder einer Dauernull belegt wäre.

Hierzu 1 Blatt Zeichnungen

40

45

50

55

60

65

